

SEMプローバによるトランジスタ C-V 測定 Capacitor-Voltage Test using a SEM-Prober

井上閑山 リチャード ストールカップ L.C. チャング* 長岡誠** 佐久間善信** 野久尾毅***
K. Inoue R.E. Stallcup II L.C. Chng M. Nagaoka Y. Sakuma T. Nokuo

Zyvex Instruments L.L.C., 1321 North Plano Road, Richardson, Texas, 75081, USA

* CALTRON PTE Ltd, 9 Kallang Place #01-09, SINGAPORE 339154

**ティアテック, 東京都台東区小島2-19-12ティアテックビル

*** 日本電子, 東京都昭島市武蔵野 3 丁目 1 番 2 号

要約: ムーアの法則に従ってデバイスのスケールダウンが進む IC インダストリーであるが、その一方でソフトウェア障害やノンビジュアル欠陥が加速度的なレートで増えており、デバイス故障解析コミュニティに大きなチャレンジとして押し掛かっている。デバイスの縮小化が進むにつれ、ビットセルエラーが加速度的なレートで増えている。近年 SEM 内で4本、6本、ないしは8本の探針を持つプローバを用いてダイ上のこれらのトランジスタの特性を測定する SEM プローバが登場し多くの FA ラボで使われるようになった。これは、殆どのメモリーシステムのエラーがシングルビットエラーであるため、欠陥が検出された場合、そのセルを構成する個々のトランジスタの特性 (Vt Curve, Id-Vd Family Curves など) を得ることでデバイスの不具合を評価する為のものである。しかし、Interface Trapped Charge やドーピングが原因で起こる欠陥を調べる上ではこれらの評価方法だけではしばしば不十分である。従って、酸化膜や界面準位の不具合などを知る上で用いられる C-V 測定が有効であると考えられる。今回のレポートでは、インテル 45nm のデバイスを Zyvex の sProber とケースレー4200-CVU により得られた C-V 特性の結果を報告する。

Abstract: While the technology of devices continuously progresses, as governed by Moore's Law, the non-visual fails have become an ever present complication in the IC industry. As the device size scales down, bit cell errors are increasing rapidly. Recently, probers employing 4, 6 or 8 probes, inside a SEM have been introduced to characterize the failed transistors on a die and are used in many failure analysis labs. This use is due to the fact that the most of memory cell failure is a single bit error, and when a failed device is observed, the Vt curves and Id-Vd family of curves are extracted from the individual transistors consisting of the failed bit to understand the failure mechanism. However, the bit cell error caused by interface trapped charges or doping error may not be thoroughly analyzed using those standard probing techniques. Hence, C-V measurements that are capable of studying oxide layers, interfaced traps, and charge carrier densities, are considered as an appropriate tool. In this communication, we report the results of Intel 45nm devices characterized by Zyvex sProber and Keithley 4200-CVU.

キーワード: C-V 測定、SEM プローバ、欠陥診断、電気特性評価、シングルビットエラー

Keywords: C-V measurements, SEM Prober, failure analysis, electrical characterization, single bit error

1. まえがき

昨今、マイクロプロセッサ内のメモリアキッシュは殆どの高度なマイクロプロセッサデザインではスタンダードな機能となっている。また、標準的なそれらのチップではその約半分のエリアをビットセルからなるメモリアキッシュが占めるに至っている。しかし、デバイスの縮小化が進むにつれ、ビットセルエラーが加速度的なレートで増えている。殆どのメモリーシステムのエラーはシングルビットエラーであるが、シングルビットは通常 6 つのトランジスタから構成されている。近年、SEM 内で4本、6本、ないしは8本の探針を持つプローバを用いてダイ上のこれらのトランジスタの特性を測定する SEM プローバが登場し米

国や台湾などの FA ラボではスタンダードな IC 欠陥解析システムになっている。

ビットセルの欠陥が検出された場合、SEM プローバを用いてそのセルを構成する個々のトランジスタの特性 (Vt Curve, Id-Vd Family Curves など) を得ることでデバイスの不具合を評価する為のものであるが、インターフェース・トラップド・チャージ (Interface Trapped Charge) やドーピングが原因で起こる欠陥を調べる上ではこれらの評価方法だけではしばしば不十分である。因って、これらのノンビジュアル・フェールを解析する方法として C-V 特性評価が有効であると考えられる。C-V 特性評価は界面準位や酸化膜の不具合、また可動イオンの密度などを知る上で大変有効であるため、ソフトウェアやノンビジュアルエラーの原因を解明するカギになると思われる

る。今回の実験では、インテル 45nm ノードの SRAM ビットセルを Zyvex の 4 探針型 sProber とケースレー4200-CVU を用いて測定した結果を報告する。

2. サンプルと測定機器

2.1 サンプル

今回のテストでは、インテル™Penryn デュアル・コア プロセッサ (Dual Core Processor) 45nm を使用した。プロセッサは小売のエレクトロニクス・ストアから購入したものを慎重にディパッキング (de-packaging) した後、硝酸とコロイダル・シリカを一層ごとに交互に使ってコンタクトレベルまで研磨し、最後に1パーセントのフッ化水素酸で化学研磨した。仕上げに純水とイソプロペノールアルコールで完全に洗浄し、これをアルミの SEM 試料ホルダに取付けサンプルの準備を完了した。

2.2 測定システムの詳細

Zyvex 社の sProber™ は 4 台のポジショナーと試料台 (センター・ステージ) を持つ取り付け取り外し可能なプローバ・ユニットと Keithley 4200 パラメトリック・アナライザ、in-situ で行うアンチ・コンタミネーション・システム、それにシステムを総括するカスタム・ソフトウェアを装備した Zyvex 社のエントリーレベルのモデルである。4 台のポジショナーはそれぞれが x,y,z 方向に 12mm の動作範囲を持つ粗動作モードと精密なナノ・プロービングの為にファイン・モードが設定されている。粗動作モードは 0.1 ミクロンの分解能であるのに対しファイン・モードは 5nm 以下の分解能を誇り、32nm のデバイスにも対応するよう動作のスムーズさも改善された高性能システムである。sProber™ のセンター・ステージはプローバ・ユニットの中心に位置し、4 台のポジショナーとは独立して z 軸方向に 0.1 ミクロンの分解能で 13mm の動作範囲で上下することが可能である。

ケースレー4200-CVU は高度な CV アプリケーションに対応するコンプリート CV 測定システムである。このユニットはフォース用端子とセ

ンス用端子を各 2 つ備えており、4 点電気特性測定に類似した要領で 2 本のフォースラインから指定した電圧を加えながらセンスラインでデバイスの反応を 10fF 以下の精度での測定を可能にしている。2 本のフォースラインは一方をハイフォース、もう一方をローフォースと呼び分けている。また、センスラインもハイセンスとローセンスとされているが、これらは便宜上の名でありハイとローのファンクションに違いはない。

2 端子あるフォースラインは指定したラインに DC 電圧を一定またはスイープで加えながら 10kHz から 10MHz のレンジで指定した周波数の AC 電圧を同時にもう一方のラインまたは同一のラインに掛けることが出来る。つまり、例えば半導体デバイスのゲートとドレイン間の C-V 測定をする場合、ゲートを DC 電圧でスイープしてデバイスをオン・オフしながら同時に AC 電圧をゲートないしはドレインに加えて測定することも可能である。尚、測定可能な換算膜厚 (Equivalent Oxide Thickness) とゲート酸化膜厚はそれぞれサブナノメートルから数百ナノメートルと数ナノメートルから数百ナノメートルとなり、抵抗値とインダクタンスのリミットはそれぞれ 0.1Ω以下から 100 MΩと 1nH 以下から 10mH とスペックアウトされている。また、コンタミネーション密度の測定リミットは $5 \times 10^9/\text{cm}^2$ から $1 \times 10^{13}/\text{cm}^2$ までとされているが、これらのスペックデータは最大電圧、デバイスのサイズ、また酸化膜の厚さに左右されることは想像に難くない。

3. システム・オペレーション

3.1 アンチコンタミネーション・システム

Zyvex 社独自のプロセスにより作られたハイ・テーパー・アングルの 4 本のプローブを sProber™ に取り付けした後、SEM イメージング中のサンプルにおけるコンタミネーション (EBID) を避けるため、プロービングの前に SEM 真空内でダウン・ストリーム・プラズマ・アッシャーを使ってサンプル上の大部分のハイドロ・カーボンを取り除いた。ハイドロ・カーボンは電子ビームに照射されると電氣的に絶縁のダイヤモンドと同様の 4 面体炭素構造を築くため、一度構成されると電気接触が不可能になる。ダウン・ストリーム・

プラズマ・クリーニングはこれを回避する為のもので、このプロセスは SEM を用いるプロセスの難点である「ブラック・ボックス」問題の解決法として知られている [1]。また、このクリーニング・プロセスは全て SEM 内で行われるため、クリーニング後に真空を壊すことなくプロービング作業に移行できるので、プローブとサンプルの電気的な接触抵抗を長時間に渡り低く抑えることが可能である。

3.2 SEM プローバ・システム

SEM 真空内でのサンプルクリーニングの後、ジョイスティックを使用して 4 本のプローブを測定するデバイスの上に移動し全てのプローブの先端を同じ高さに調整した後、試料表面がプローブ先端から下に5マイクロメートル位の高さになるようにサンプルステージを持ち上げた。続いて実際の測定に使用する 2 本のプローブのみをファインモードでサンプルの表面へ軽くタッチダウンした後、少しだけ持ち上げた状態でスタンバイした。これは piezoelectric crystal 特有のドリフトを考慮してのことである。2 本のプローブのみを必要とする測定に 4 本のプローブを用いサンプル近くまで移動させたのはプローブによる電子ビームへの影響を均一に保つためである。またタッチダウンの際、先端半径が数十ナノメートルのプローブはとてもデリケートであるため、プローブ先端とサンプルの急激な接触または接触後の過剰な押さえ込みを避ける必要がある。ファインモードではプローブの降下スピードは十分制御されているためタッチダウン時のプローブへのダメージの心配は無いが、接触後の過剰な押さえ込みはプローブ先端または試料を傷める原因になる。

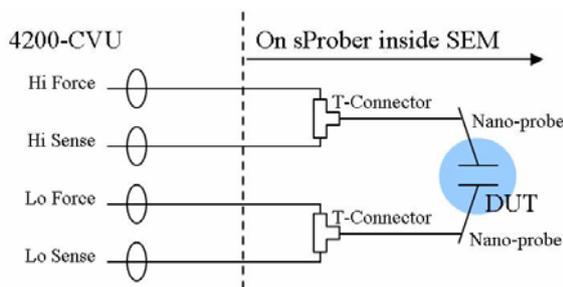


図1. システムセットアップのダイアグラム

これを避ける方法として、オペレータはプローブ先端の“伸び”の観察をすることでタッチダウンしたのを確認することが出来る[2]。また、これにより適度な接触圧に調整することが可能であり、実際の測定時のプローブ先端とサンプルコンタクトの電気的接触も同じ要領で行われた。尚、データ取得時は SEM の電子ビームによる帯電の影響を避けるためビームを遮蔽した。

3.3 パラメトリック・アナライザー

データはケースレー4200-CVU アナライザとケースレーの C-V ソフトウェアをバーチャル・ネットワーク・コンピューティング (VNC) を介してマネジューラータのコンピューター上で使用することで得られた。今回の試験は、コンタクトサイズが比較的小さかったこともあり、図 1 に示すようにハイフォースとハイセンスまたローフォースとローセンスを SEM 内の sProber 上でそれぞれ T-接続して 2 本のプローブのみで行なわれた。また、4 本あるケーブルのシールドも同様に sProber 上のポジションナ間でグラウンドされた。これは 2 重同軸ケーブルのシールドが C-V 測定においてその測定回路の一部になってしまうを防ぐためであるが、グラウンディング用のケーブルが長いループの場合それ自体がインダクタンス効果を発生してしまい測定結果に誤差を与えるのでケーブルは物理的に短いほうが理想的である。また、その誤差は周波数が高くなるに従って増加するので配慮が必要である。

4. 測定と結果

4.1 測定パラメータとコレクション

テストにはケースレー4200-CVU に予めプログラムされている C-V 測定ソフトをテストパラメータの変更のみでそのまま使用した。表 1 に使用したパラメータを示す。AC 電圧値は 100mV RMS が測定したキャパシタンス域でのシステムの最大値であった。また、このコミュニケーションで報告する測定結果は全て 1 MHz の周波数で得られたものであるが、他の周波数域でも似た測定が可能であった。

はじめに、測定に使う 2 本のプローブをセクシ

ション 3.1 で説明したようにファインモードでサンプルの表面へ一度軽くタッチダウンした後、少しだけ持ち上げて滞空状態でスタンバイした後、測定エラーコレクションを行った。測定前に行うこのエラーコレクションにはショートコレクション、オープンコレクション、ロードコレクション、またケーブルコレクションの 4 つのカテゴリーがあるが、今回のように 10pF 以下の小さなキャパシタンスを測定する場合オープンコレクションを行う必要がある。ロードコレクションとケーブルコレクションはキャパシタンスのサイズに関係なく行うコレクションである。

DC 電圧	Various Sweep
AC 電圧	100mV RMS
周波数	1 MHz
スイープディレイ	2 秒
ホールドタイム	5 秒

オープンコレクションは T に接続されたハイフォースとハイセンスのハイサイドのプロープとローフォースとローセンスから成るローサイドのプロープをサンプル表面から 100 ナノメートル位の近い所でプロープの先端が接触しないオープン状態でベースラインのキャパシタンスノイズを測り実際の測定時に自動的に修正するファンクションである。ロードコレクションとケーブルコレクションはそれぞれゲインエラーコレクションファンクションとフェーズシフトコレクションファンクションである。測定するキャパシタンスの容量によりゲインエラーは変化する。ロードコレクションは既知のスタンダードロードを用いてここで発生するゲインエラーとデバイスロードとスタンダードロードの比率からデバイス測定時に発生するゲインエラーを計算し自動的に修正を加えるファンクションである。ケーブルコレクションはケーブルを介して伝達されることで起こるシグナルディレイによるフェーズオフセットをケーブルの長さをインプットすることで計算し自動的に修正するものであるが、測定周波数が高くなるに従って得られるデータがフェーズオフセットに対し敏感になるためこのコレクションは非常に重要である。また、シグナルの伝達スピードはケーブルによって違うためメーカーが提供するケーブルではないものの使用は避けたほうが賢明であると思われる。以下の式にショート、オープン、ロードコレクションがインピーダンスに与える影響の関係を示す。

$$Z_{final} = \frac{1}{\frac{1}{(Z_m / \text{LoadRatio}) - Z_s} - \frac{1}{Z_o}}$$

Z_{final} = コレクション後のインピーダンス
 Z_m = 測定されたインピーダンス
 Load ratio = 測定されたロードコレクション
 Z_s = 測定されたショートコレクション
 Z_o = 測定されたオープンコレクション

4.2 測定結果

今回の試験では、インテル™Penryn デュアル・コア プロセッサ 45nm SRAM デバイスの Pmos (ロード) と Nmos (ドライバ) の C-V 特性を DC、AC 電圧の接続のコンフィギュレーションを変えながら測定した。

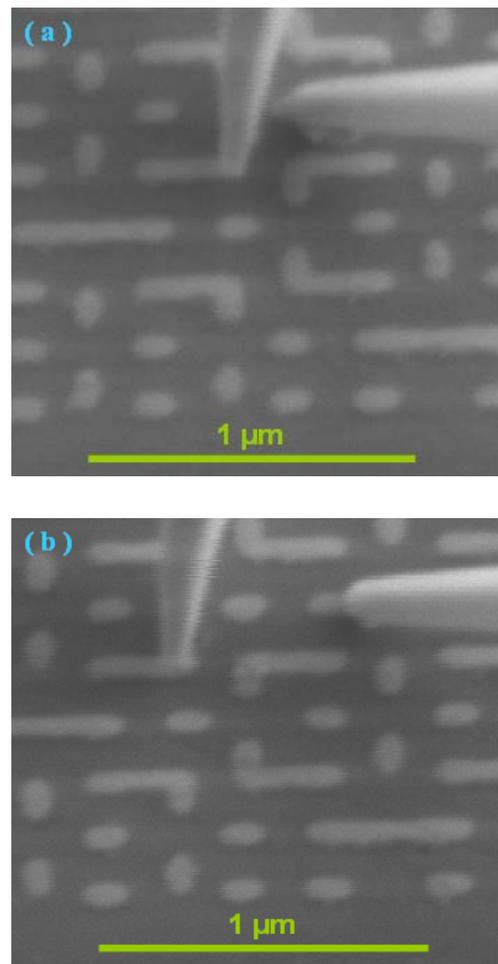


図 2. 2 本のタングステン製プローブを 45nmSRAM の DUT を金属 0 層で接触させた SEM 画像 100,000x (a) Pmos (ロード) (b) Nmos (ドライバ)

図2のaとbはそれぞれ Pmosと Nmosトランジスタを2本のプローブを用いて測定しているSEM像である。

PmosとNmosのデバイス共にDCとAC両方の電圧をゲートだけに、DCをゲートにACをドレインに、逆にDCをドレインにACをゲートに、最後にDCとACの両方をドレインだけにの順で加えて4通りの測定を行った。図3にそれぞれの測定結果をまとめてグラフにした。ノイズレベルが全ての測定でほぼ0.1fFであり-1.2V DCでのキャパシタンスの最大値でも1.0fF程度である。また、ここで明らかなのはアキュムレーションとインバージョンがDC電圧をゲートに加えるかドレインに加えるかで入れ替わっていることである。言い換えると、デバイスがオンの状態になっている時にキャパシタンスはアキュムレーション状態になりオフの時はインバージョンと言うことである。PmosとNmosではオン・オフになるDC電圧がひっくり返るので当然C-VのグラフもPmosとNmosではプラスとマイナスがひっくり返った形になる。これは測定の一貫性を同時に示している。これらの結果はデバイスがオフにあるDC電圧値からスイープしはじめオン状態で終わるように測定されたものである。

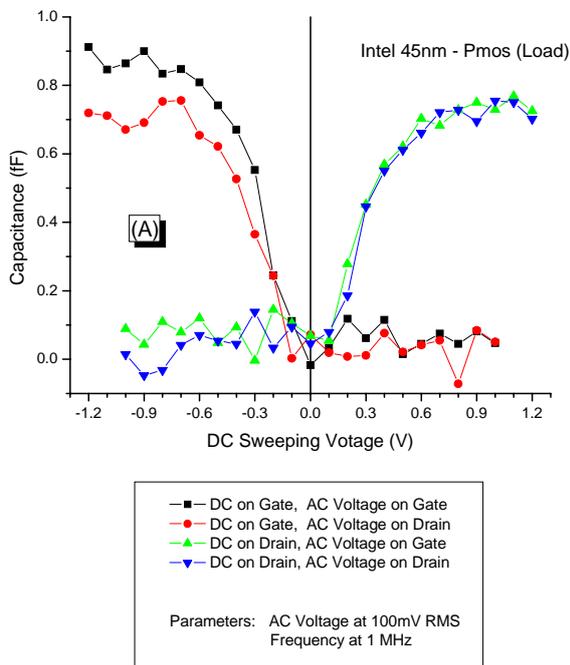
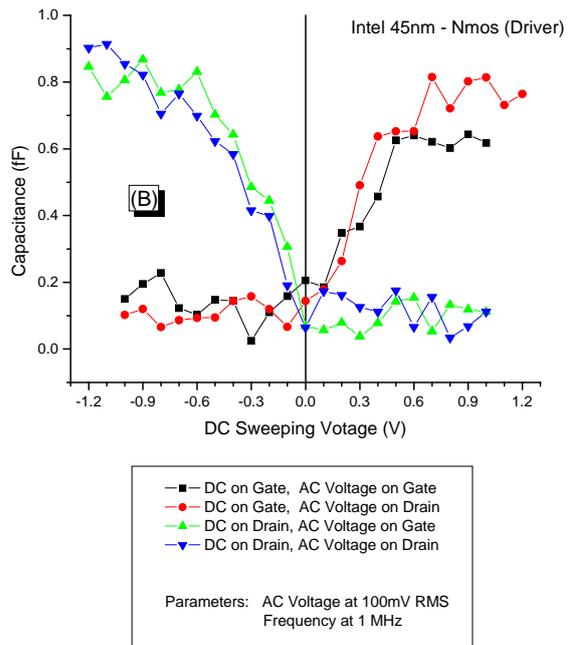


図3. インテル™Penryn 45nmデバイスの (A) Pmos (ロード) (B) Nmos (ドライバ)のそれぞれに直流と交流の電圧をゲートだけに、ゲートとドレインに、ドレインとゲートに、最後にドレインだけにの順で加えて測定した結果



今回の測定は正常なデバイスのみであったが、もし欠陥デバイスの解析時に極端なキャパシタンス値が検出されたならフェールの原因究明になる。例えばゲートのサイズとk-コンスタントが分かっている場合、それらを使って酸化膜厚を計算することができる。また、キャパシタンスと電圧の関係から欠陥デバイスの可動イオン密度などを探ることも可能となる。この度の報告はデバイスのデザイン上の情報の欠如からC-Vデータだけに留まったが、それらの情報を持ち合わせれば他の様々な情報をキャパシタンス測定より得ることが可能になるであろう。

5. まとめ

この度の試験では、現時点までは非常に難しいと思われていたコンタクトレベルでのデバイスのC-V特性を45ナノメートル・ノードのSRAMデバイスの個々のトランジスタで得ることに成功した。最新の45nmや32nmノードのデバイスでは、ハードエラーとは別にソフトエラーの発生頻度が著しく増えている。インターフェース・トラップド・チャージやドーピングが原因で起こるこれら非恒久的なエラーはランダムに起こりえるほか、ユニークな条件でしか検出されないなどエラーの原因を究明するのが困難である。C-V特性評価は酸化膜や界面準位の不具合、また可動イオンの密度などを知る上で大変有効であるため、これらのソフトエラーを解明するにも適切であると思われる。また、欠陥ト

