

半導体欠陥モードの予測技術 (Prognostic Techniques for Semiconductor Failure Modes)

Douglas L. Goodman
Ridgetop Group, Inc.
7070 North Oracle Road, Suite 120
Tucson, Arizona 85704
(520) 742-3300

要約

半導体の信頼性に関する問題は、インターネットルーター、ATM、自動車や航空宇宙のような極めて重要なシステムの長期信頼性の問題として浮上してきた。半導体は寿命欠陥になり得る一定の欠陥モードを持つ。これらのモードには TDDDB (Time-Dependent Dielectric Breakdown)、ホットキャリアダメージ (hot carrier damage)、メタルマイグレーション (metal migration) などがある。このような一般的な欠陥モードは 0.25 μ 以下で深刻であるが、幸運な事に対策がある。本稿では関連問題を調査するとともに、システム欠陥の“早期警告”を可能にし、適切な処置が取れるよう、ホストサーキットと同位置に配置できるキャリプレート前の予測セルを使用する方法を取り上げる。

はじめに

半導体はますます小さいプロセスになり、かつてないほどの機能が新しい SoC (System on Chips) に組み込まれているのは周知の事実である。そして、SoC の設計者たちが直面している問題には、ダイ収縮発生の際のプレデザイン IP ブロックの適切なスケージングや、SoC の信頼性維持保証などがある。¹

半導体の欠陥モードには半導体のパフォーマンス期間を制限する、経年に関連したものがあり、厳しい用途に使用できる頑丈な SoC の製作には限界がある。これらの欠陥現象にはオキサイドブレイクダウン (oxide breakdown)、ホットキャリアダメージ (hot carrier damage)、メタルマイグレーション (metal migration) などがある。欠陥予測法があるので、プレデザイン、プレキャリプレートした予測セルやフェイルセーフパフォーマンス等の適切な処置が可能である。

さらに、その情報取得法や IC レベルでの技法が、システムに最高レベルの診断解析を提供する。これはシステムレベルの故障解析にも、稼働時間目標を維持する為の予備を備えておく事においても多大なメリットがある。

¹ -Seshan, K, et al, “The Quality and Reliability of Intel’s Quarter Micron Process”, Intel Technology Journal, Q3 1998

半導体の欠陥モード

ここでは一般的な3つの欠陥モードについて取り上げる。ゲート酸化膜欠陥 (gate oxide failure)、ホットキャリアダメージ (hot carrier damage)、メタルマイグレーション (metal migration) の3つである。すべてでは配線ルールの収縮過程によって悪化するが、完全に解明されていないものもある。それぞれ順番に説明していく。

ゲート酸化膜欠陥 (gate oxide failure)

これは TDDDB (Time-Dependent Dielectric Breakdown) に起因する欠陥である。導電性パスが誘電体に形成され、アノードとカソードがショートして起こる。今までに発表されたこの現象²への対処法はいくつかあるが、4nmより薄い酸化膜や High-K oxide (例: 窒素酸化物) の対処についてはまだまだ研究の余地がある。³ 極端に薄い酸化膜では、誘電体が高いトンネル電流を示すが、デバイス信頼性への影響は解明されていない。このプロセスサイズ関連の問題と、予測される信頼性悪化の特性を明らかにする為、NIST は Academic and Industrial Research グループと共に研究を続けている。

TDDDB の場合デバイスが標準酸化膜破壊電圧以下で動いていたとしても、破壊は長期間に渡って起きるため保護回路の効果はない。電界での増加がさらに劣化のスピードを速める。

ホットキャリアダメージ (hot carrier damage)

ホットキャリアダメージはキャリアが MOSFET のチャネル沿いに動く際に発生し、デバイスのドレインエンド近辺で衝突イオン化が起こる。これは小さなプロセスジオメトリの強電界からのエネルギーが増える事により発生する。キャリアが十分なエネルギーを得る為、いくつかは Si-SiO₂ のエネルギーバリアを破ってゲート酸化フィルムに注入される。これはインターフェイス、オキサイド内、または側壁スペース内で起きる。このメカニズムにより生じた電荷トラップにより、閾値電圧 V_{th} が変化し、高周波スイッチングが低下、シグナルパス経路のバランスが狂う。ほとんどの半導体欠陥モードは高温になればなるほど悪化を示すが、このホットキャリア現象では温度が下がるほど悪化する。⁴

2 - "Semiconductor Device Reliability Failure Models" International Semitech, Technology Transfer #00053955A-XFR

3 - Suehle, John, Dielectric and Interconnect Reliability Metrology Summary, National Institute of Standards and Technology (NIST), November, 2000 www.eeel.nist.gov

4 - "Failure Modes in Semiconductors", Toshiba Corporation Research Report, October 2000

メタルマイグレーション (metal migration)

その他信頼性について懸念されるものとして、電流密度の増加によるエレクトロマイグレーションがある。高い密度のインターコネクと大量の電流を要する高度な集積マイクロプロセッサの電流発生は、メタルインターコネクの信頼性に関する懸念をさらに強める。

SoC や IC オペレーション中のエレクトロマイグレーションによるメタルポイドの形成は、インターコネクをオープンしたり、誤作動やスピードの低下を招く高抵抗を引き起こす。Intel は自社のマイクロプロセッサの為に、5 層メタルまで使用する緩和技術を開発したが、エレクトロマイグレーションの影響と、その結果起こる信頼性への懸念は、多かれ少なかれ残っている。

予測モニタリングコンセプト (Prognostic Monitoring Concept)

予測モニター内蔵のコンパニオン回路に関連した劣化率を上げる為、予測モニターはスピードを速め、キャリブレートしたストレス状態を採用し、サーキットより先にモニターが故障するようになっている。サブシステムサーキットとしてモニターを組み込む事で、システムの一部として製造からテスト、バーンイン、オペレーションまで、同じ運用環境に置かれる事になる。これにより、システムの信頼性に影響を及ぼすすべての変化は(例: 工程やインストールによるダメージ、電圧の変化やスパイク、温度変化等)モニターにも影響し、システムが起こす初期故障に関連した故障がモニターにも確実に起きる。つまり、システム挿入までの IC の状態や、他のコンポーネントを使用したオフラインテストなどに基づく従来の寿命予測法は、実際の運転環境がシステムの寿命に与える影響を考慮したものに変わる。

この予測モニターのアプローチは、Figure1 の一般的な電子部品、サーキット、システム等の標準故障率カーブ(バスタブカーブ)を参照すればより分かりやすい。

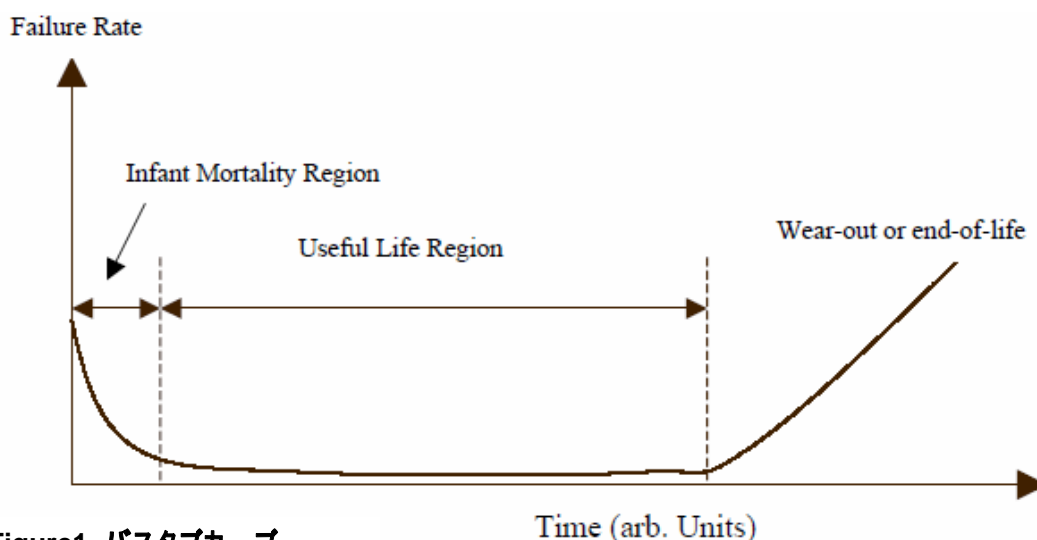


Figure1 バスタブカーブ

初期の故障率は高いが、時間とともに急低下する。この期間は初期故障期間として知られている。その後、故障率は低くなり、長い間ほぼ変わらない一定故障率期間を迎える。最後に、連続的または間欠的な使用によりコンポーネントは多大なストレスを受け、欠陥レートは増加してゆく。これを摩耗故障期間という。

初期故障期間のほとんどの故障は、製造上の欠陥によるものである。したがって、ほとんどのサーキット、特に高信頼が必須であるものは、バーンインと呼ばれるテスト期間中に、初期故障期間を十分想定したストレス下に置かれる。これにより、システム挿入時のサーキットの寿命が延びた。

その後、すべてのデバイスの予測性能の平均値が出るよう、他のコンポーネントやサーキットのオフラインテストによって、サーキットの一定故障期間を見積もる。しかしもちろんこれらの測定では、サーキットが実際に使用される動作環境の影響は含まれない。さらに言えば、耐用年数テストで必要とされるサーキットの正確な製造環境も考慮されていない。これはあるサーキットグループにとって致命的であるかもしれない工程の違いゆえに非常に重要なのだが、サーキットの耐用年数テストには含まれないのだ。

実際のサーキットが置かれる正確な環境にテストセルを置く事で、予測モニターは前述の問題を回避し、欠陥の予測を行う。つまり予測セルはバスタブカーブを大きく変化させる可能性がある総合的な要因を感知できるのだ。Figure2にあるように、予測セルの故障ポイントは摩耗故障期間のちょうど左側にある。

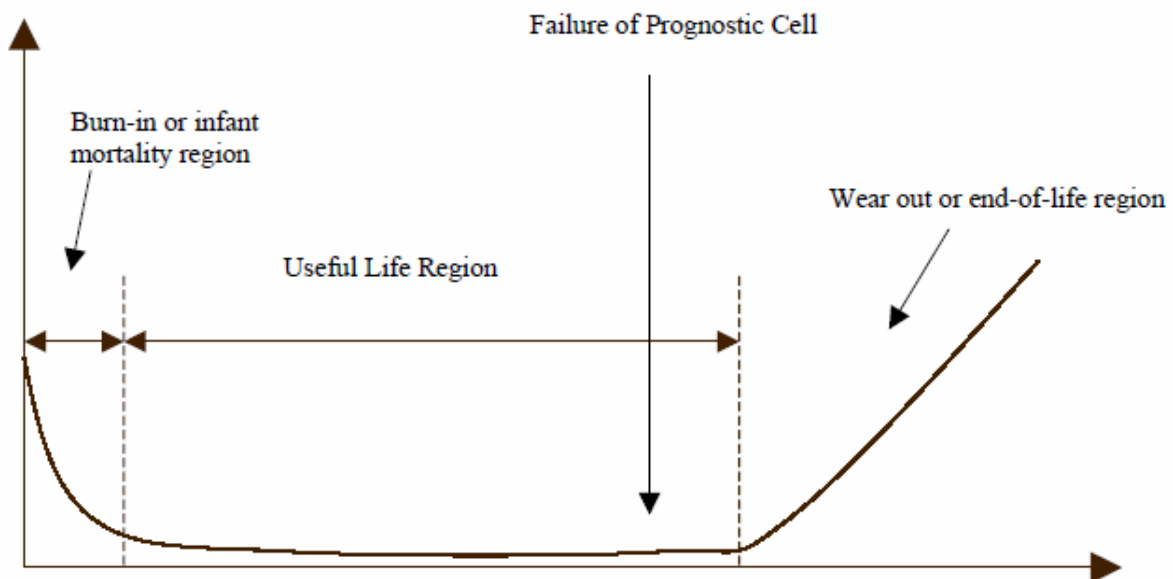


Figure 2 予測セルの故障ポイントとバスタブカーブ

予測セルの目的はサーキットの欠陥を予想する事であり、これを達成するには、予測セルが同じチップ上にあるサーキットよりも先に故障しなければならない。よって、ある特定のチップの予測セル欠陥分布は、その同じチップのサーキットの欠陥分布と同じように、製造、運用条件がリンクするはずである。全部の予測セルの欠陥分布がサーキットの欠陥分布の手前にあれば、すべての予測セルはサーキットよりも先に故障を起こすであろう (Figure3 参照) 予測セルを取り入れる事でサーキットの耐用寿命を大幅に縮めることなく、このようなタイプの予測が可能になる。

一般的な経年欠陥モードへの取り組み

US 空軍によって行われた研究を基に⁵、弊社では半導体の将来の磨耗故障に対して早期警告ができる予測セルの InstaCell™ のライブラリー (library)を開発、改良をしてきた。これらのセルは小さく、内蔵型で、ホストサーキットと同じ場所に置く事ができる。また、情報に早く、効率的にアクセスできるよう、JTAG bus (IEEE1149.1)で接続される。(Figure3 参照)

Cell Libraries for each process (patent pending)

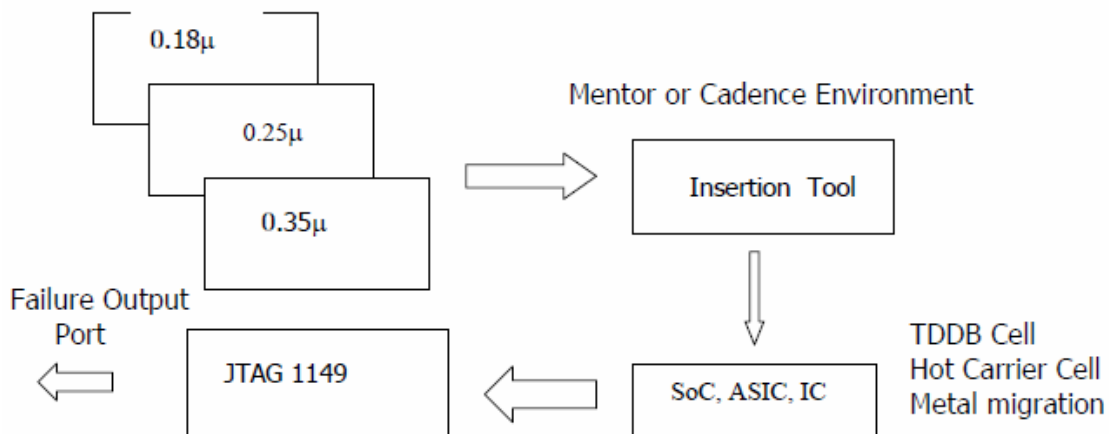


Figure 3 –InstaCell™ の構成:半導体欠陥予測

欠陥モード関連の統計を注意深く研究する事で、弊社はセルが行う“早期警告”の時期を調整する技術を開発した。

5-Wilmar W. Sifre, Steven L. Drager and Martin J. Walter “A Prognostic Monitor for Microelectronics Systems Reliability”, GOMAC Conference, 1996

System Diagnostics

IC レベルで欠陥警告表示する事により、最高の診断解析の基準がシステムに備わる。弊社は IEEE1149.1/JTAG 経由で欠陥予想が表示できるようシステムを設計してきた。これはバウンダリースキャンテクニックを取り入れる簡単な方法である。IEEE1149.1 を使う事で、BSDL (Boundary Scan Description Language) や HSDL (Hierarchical Scan Description Language)、SVF (Serial Vector Format) 等の標準的なプログラミング対応が可能になる。

IC は PCB にインストールされ、次にシステムを構成するモジュールにインストールされる。InstaCel™ ライブラリーは、欠陥の根本的な原因を正確に示し、設計や MTTR の改善、問題対策や企業品質管理計画までサポートする。

結論

ここまで弊社の開発した技術により、一般的な半導体欠陥モードが回避できる事を解説してきた。早期発見システムを取り入れれば、ターゲットのシステムが致命的な故障を起こす前に、予測された問題を解決する措置を取る事ができる。セルの InstaCell™ ライブラリーは設計時に組み込み、配置されたシステムが実際の使用時に確実なパフォーマンスを維持できる安全保障策を取る。安全性が重要なアプリケーションの IC と SoC にはこの予測法の採用を強く勧める。

日本代理店：株式会社ティアテック

電話番号：03-5823-5323

営業担当：鵜飼 太一

メール：ukai@tiatech.com