

ウルトラディープ サブミクロンテクノロジーによる NBTIを発見するアプローチ

Ronald Carlsten, Jeremy Ralston-Good, and Douglas Goodman
Ridgetop Group, Inc.
6595 N Oracle Rd, Suite 153
Tucson, Arizona 85704
ronald.carlsten@ridgetop-group.com

要約— NBTIは閾値電圧の変動を生じる可能性がある、pMOSFETの劣化メカニズムである。この変動が大きい場合、MOSFETのアナログ、デジタル回路の信頼性に重大な問題を引き起こしかねない。本稿ではpMOSFETのVTシフト(VT shift)を測定し、その状態を記録する予測回路(prognostic circuit)について述べる。

I. はじめに

電子モジュールの偶発欠陥はよくある事である。航空宇宙、自動車工学では、モジュールはしばしばサービスから除かれる。しかし技術者は、この分野で起こる問題を再現できない。これらの現象は「問題なし」、「再テストOK」、あるいは、「再現不可能」として処理されている。

半導体産業はウルトラディープサブミクロンテクノロジーへと進化し、設計者たちは、新たな問題に直面している。パフォーマンスの限界は、最近広く知られるようになったNBTIの問題も含め、これらの偶発欠陥に起因するとされている。

除去されたモジュール欠陥の50%以上は再現できないとされている。ここでは、特にNBTIの発見に的を絞って、複雑なシステムの欠陥特定の精度を上げる技術を紹介している。

電子機器の欠陥率は、Figure1のバスタブカーブのような形で示されてきた。これは初期故障期間、一定故障期間、磨耗故障期間の3つに分けられる。ICの実際の耐用期間は、コントロールされた特定の条件下と厳しい条件下ではかなりの違いがある。つまり、ある製品のこのバスタブカーブは、この基準のカーブとは大きく異なる可能性がある。デバイスにおいては、温度や動作電圧、放射線や湿気、振動、重力加速度、腐食性の有無等々、ICの寿命を縮める要因は多岐に渡る。

この研究はNBTIの影響によって起きた劣化を発見する為の回路の設計とキャリブレーションに焦点を当てている。他の

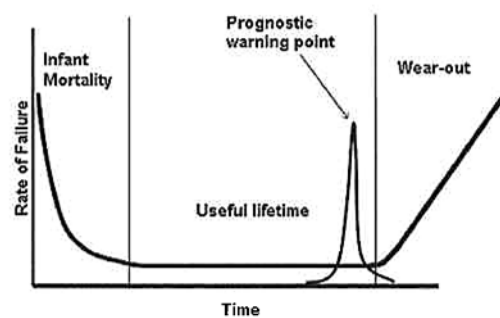


Figure 1. Typical bathtub curve with prognostic warning point.

物理的な劣化メカニズムの発見に使用されてきた標準的な予測回路のアプローチが生かされている

II. NBTI現象について

NBTIは、ゲートに負の電圧をバイアスされた、p-channel MOSFET内の閾値電圧が変動する現象。デバイスが100度以上、あるいは酸化領域を超える電界が0.6V/mよりも大きい場合、この現象はさらに起こりやすくなる。NBTIのメカニズムは負バイアス状態が続くと、トランジスタ内にインターフェイストラップを形成する。インターフェイストラップはSi-SiO₂結晶格子界面で形成している。これらのトラップされたチャージは、インターフェイスにネットポジティブのチャージをかけ、印加している閾値電圧と、デバイスの電流導通チャンネルに移動したチャージとのバランスに影響を及ぼす。結果として、効果的に閾値電圧を上げる導通チャンネルを形成する為に、負ゲート電圧を上げる必要性が出てくる。NBTIは、アウトプットが“high”の際にMOSFETインバーターで起こりやすい。VTの増加によりインバーターのノイズマージンを減少し、極端なケースではラッチアップを生じる。半導体のプロセス面積が小さくなればなるほど、ゲート酸化膜は薄くなり、その結果、NBTIの作用がさらに増す事となる。

ICで使用されるアナログ回路は、一致したペアコンストラクションが温度やプロセス変動による影響を制御している。電流ミラーや差動増幅器のような回路は閾値電圧- V_T の絶対値の影響を比較的受けにくい、 V_T の不一致には敏感である。 V_T の変化は電流の不一致を引き起こし、好ましくない結果を招く。回路を切った際《例：電位こう配を取り除く》電子正孔のペアは再結合し、インターフェイストラップの数は減少する。結果、インターフェイスのプラス電荷密度が減少する。これが V_T を印加前のレベルに引き下げる為、オペレーション中には生じるが、修理センターでは再現ができないという、電子モジュールの断続的なエラー原因となっている。

NBTIによって誘発される V_T の変動は、マッチングが要求されるアプリケーションにおいて重要である。NBTIが引き起こしたミスマッチが回路の限界を超えた場合、デバイス間の動作特性の相違は、故障、または設計通りに機能しない回路である、という結果を招く。

III. NBTI回路設計

NBTIによる閾値電圧の低下は、ゲート端子に印加されるバイアスに起因する。Figure2に示すように、ゲート電圧の最少の変動は、閾値電圧を低下させる。予測回路は、ホスト回路が故障する前に作動するよう、ゲートに増加した電圧がかかる事を考慮して設計されている。

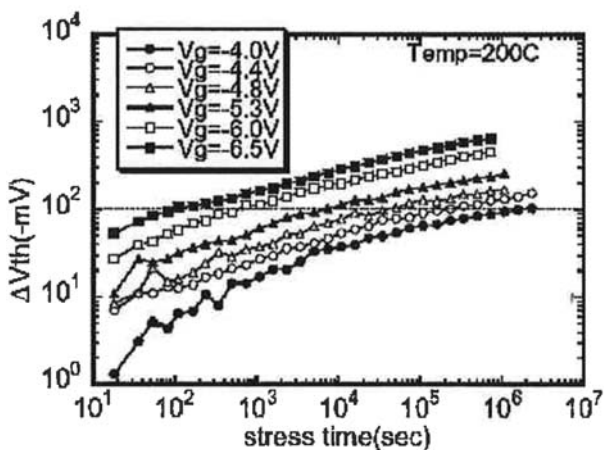


Figure 2. NBTI-induced ΔV_T dependence on V_G . Reproduced with permission from [2].

予測回路には2つの動作モードがある。ゲート電圧の上昇に伴い、試験中のMOSFETが印加される「ST-RESSMODE」と、印加による低下を測定する「MEASUREMENT MODE」である。

A. MEASUREMENT MODE オペレーション

予測回路において、1つのp-channel MOSFETトランジスタはセンサーとして作用する。これは印加される電圧の影響を受けやすく、NBTIによる V_T の変動を作り出す。2つ目の

p-channel MOSFETは、印加をしないリファレンストランジスタとして使用される。よって、閾値電圧の変動がない。基準値と、印加されたトランジスタの差が V_T の変動となる。予測回路はこの差を測定し、プリセットの V_T 変動レベルで切り替えられた出力をトリガする。図3に示すように、この回路の中心は、2つのp-channel MOSFETの V_T の差を感じる、差動増幅器である。

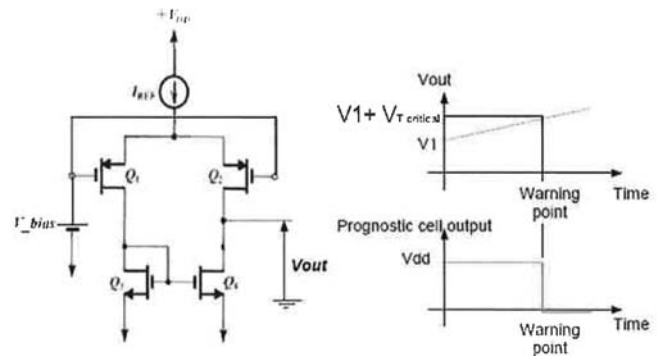


図3は、所定の V_T 変動に対する予測回路の反応を示したものである。

上の図は左側の回路図にあるセンシングステージのアウトプット- V_{out} を示す。下の図は予測回路の出力を示している。これはセンシングステージの出力= V_{out} と予測回路の出力の間に1つの出力ステージが必要であることを表している。2つの出力ステージをテストした。シンプルインバーターとシュミットトリガー。インバーター出力はノイズの影響を受けやすい為、シュミットトリガーを出力ステージとして使用した。シュミットトリガーは誤ったトリガを排除する為、61mVのヒステリシスを備えるよう設計されている。

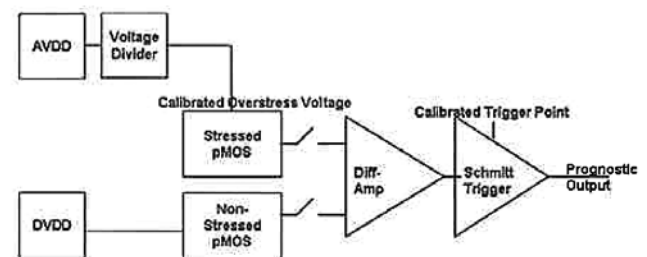


Figure4はNBTI回路のブロック図である。

B. STRESS MODE オペレーション

前述したようにSTRESS MODEでは、一つのMOSFETのゲートに対して増加した電圧をかけていく。これはNBTIを通常のゲート電圧でMOSFETがバイアスされるよりも短い時間内でNBTIを引き起こす為である。パラメーター“t”は、特定のプロセス技術により指定されたNBTIを引き起こす条件下での有効寿命とされる。この研究で対象とされる130nm処理技術は、Abadeer とEllis [3]が反応式(1)を示して、NBTIが引き起こした閾値電圧の変化についての関連を述べている。

$$\text{式(1)} \quad \Delta V_T (\text{millivolts}) = 1.6 \left(\frac{500 \times Z}{500 + Z} \right)$$

Zを求める公式:

$$\text{式(2)} \quad Z = 13125 \times \exp\left(\frac{-0.188}{k \times T_j}\right) \times \left(\frac{|V_{GS}|}{t_{ox}}\right)^{2.976} \times t^{0.202} \times |V_{TO}|^{0.199} \times \left(1 + \frac{0.117}{W}\right)$$

Wはデバイス幅/マイクロメートル、T_jはケルビンのストレス温度、V_{GS}はゲートソース間のストレス、tは時間/秒、TOXは酸化物の厚さ/ナノメートル、Kはボルツマン定数 - 8062E-5 eV/K、V_{TO}は公称閾値電圧である。

予測回路のV_T変動は、ホスト回路の変動よりも早く現れる。デルタV_Tは両方の回路で同じであるが、かかる時間は異なる。例えば、ホスト回路が耐え得る最大デルタV_Tが20mVの場合、ホスト回路のV_Tが20mVになる前に、予測回路のV_Tを20mV下げなければならない。よって以下の関係が成り立つ。

$$\text{式(3)} \quad \Delta V_T (\text{Prognostic Cell}) = \Delta V_T (\text{Host Circuit})$$

上記のパラメーターを使った等式

$$\text{式(4)} \quad 1.6 \left(\frac{500 \times Z_{prog}}{500 + Z_{prog}} \right) = 1.6 \left(\frac{500 \times Z_{host}}{500 + Z_{host}} \right)$$

予測回路センサーはホスト回路と共にその場に配置される。これにより、温度を含む同じ条件下にホスト回路、予測回路が置かれ事となる。予測回路とホスト回路は同じチップに置かれるので、式(2)のプロセスパラメーターは同一となる。Zの代償値と、相殺同類項は、予測回路とホスト回路の時間に対して印加されるゲート電圧との関係を望ましいものにする。式(5)参照:

$$\text{式(5)} \quad \left(\frac{t_{prog}}{t_{host}} \right)^{0.202} = \left(\frac{|V_{GS}|_{host}}{|V_{GS}|_{prog}} \right)^{2.976}$$

T_{prog}は、予測回路の、t_{host}はホスト回路の、所定のバイアス条件下での耐用期間を表す。1.2Vの電圧をかけた場合、ホストのV_{GS}は1.2Vである。回路の有効寿命が40%以下になると、Figure1で示したように、“Prognostic warning point”という警告が出る。これにより、(5)で算出された予測回路-T_{prog}の時間-t=0.6を比率とした以下の式が成り立つ。

$$\text{式(6)} \quad \left(\frac{t_{prog}}{t_{host}} \right)^{0.202} = \left(\frac{0.6}{1.0} \right)^{0.202} = \left(\frac{1.2}{|V_{GS}|_{prog}} \right)$$

V_{GS}歩留まりの算出:

$$\text{式(7)} \quad |V_{GS}|_{prog} = 1.24 \text{ Volts}$$

つまり、予測回路で印加されるストレス電圧-V_{GS}は1.24Vとなる。チャージポンプは、キャリブレートされたマイナス電圧を上げる為に使用される。STRESS MODEでは電圧デバイダがキャリブレートされたゲート電圧を供給する。結果、p-channel MOSFETセンサーにキャリブレートされたストレス状態を供給する事となる。

予測回路はSTRESS MODEとMEASUREMENT MODEが定期的に入れ替わるように設計してある。

IV. シミュレーションの結果

NBTI予測回路は130nmバルク処理技術のサーキットレベル数値シミュレーターでシミュレーションされていた。Figure5はNBTI予測回路の回路図である。“cmd”シグナルは回路の開閉を決定、つまり、STRESS MODEとMEASUREMENT MODEの切り替えを行っている。

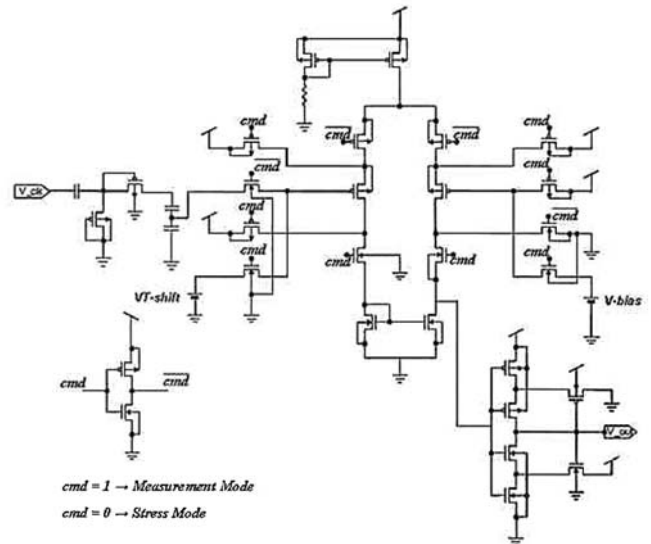


Figure 5. Schematic of entire NBTI prognostic circuit.

シミュレーションの結果によって予測回路の機能は実証された。NBTIによって引き起こされる閾値電圧の変動は、時間依存の電圧ソースを直列でゲート電圧に置く事で再現。閾値電圧は0Vから30mVに上げた。MEASUREMENT MODEでは、予測回路はシミュレートされた通りの閾値電圧の変動を測定、出力した。プリセットトリガ電圧変動に達すると、予測電圧は出力を高(high)から低(low)に変える。Figure6はシミュレーションの結果である。V_T変動が大きくなるにつれて、差動増幅器の出力も増加している事がわかる。Figure6 Cでは、差動増幅器の出力が、シュミットトリガーを作動させるのに十分である事がわかる。

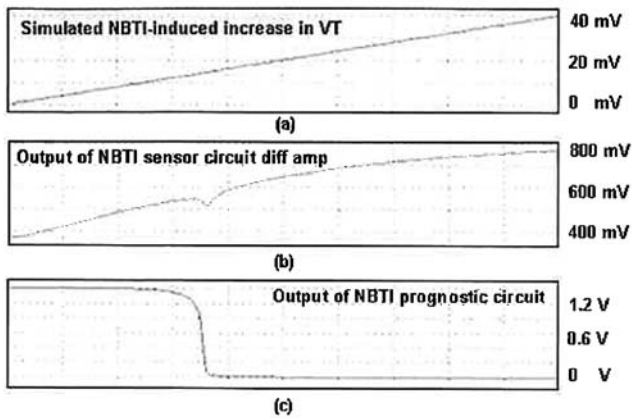


Figure 6. Simulated prognostic circuit response: A) V_T shift, B) Diff. Amp. output, C) Schmitt Trigger output.

V. まとめ

航空宇宙、自動車工学における電子モジュールの偶発欠陥は修理センターで再現する事ができず、「問題なし」として処理されてきた。半導体産業はディープサブミクロンテクノロジーへと進化している為、パフォーマンスの限界がNBTIなどのような偶発欠陥を招くようになった。本稿ではpMOSFETのNBTIに起因する V_T シフト(V_T shift)をモニターできる検出回路の成果とシミュレーションについて記述した。シミュレーション結果から、残存耐用年数を表すキ記述した。シミュレ V_T 変動を予測回路が発見できるという事がわかる。予測回路はホスト回路と同じ場所に配置される。これはパフォーマンスに影響する、温度を含む環境条件のすべてを同じようにする為である。今後は発見回路の微調整と、シリコン内のセンサー有効化について研究を行う予定である。

日本販売代理店

株式会社 ティアテック

〒111-0056 東京都台東区小島 2-19-12 ティアテックビル

TEL: 03-5823-5323

FAX: 03-5823-5324

URL: <http://www.tiatech.com>